

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年11月6日 (06.11.2003)

PCT

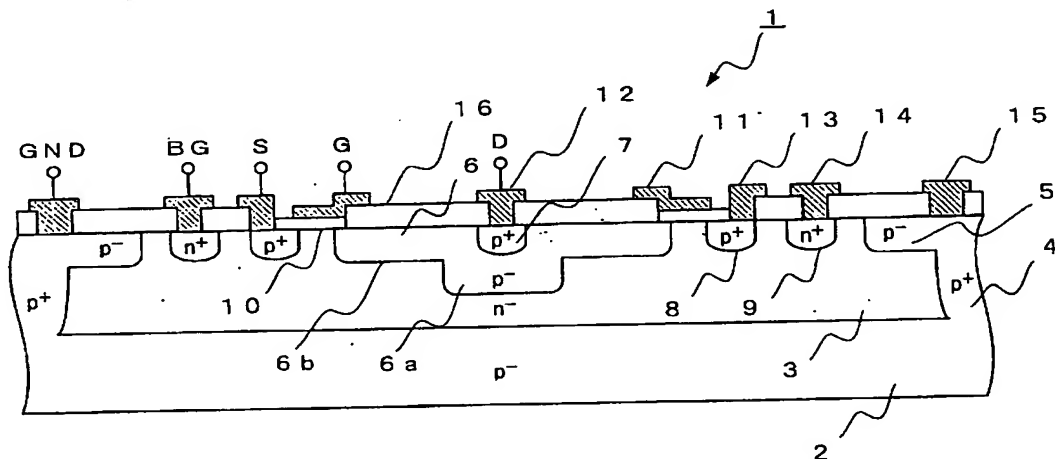
(10) 国際公開番号  
WO 03/092078 A1

- (51) 国際特許分類: H01L 29/78, 21/336 (72) 発明者: および  
(21) 国際出願番号: PCT/JP03/05334 (75) 発明者/出願人 (米国についてのみ): 岩淵 昭夫  
(22) 国際出願日: 2003年4月25日 (25.04.2003) (IWABUCHI, Akio) [JP/JP]; 〒352-8666 埼玉県 新座  
(25) 国際出願の言語: 日本語 市 北野3丁目6番3号 サンケン電気株式会社内  
(26) 国際公開の言語: 日本語 Saitama (JP).  
(30) 優先権データ: 特願2002-123615 2002年4月25日 (25.04.2002) JP (74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒101-0054 東  
京都 千代田区 神田錦町二丁目7番地 協阪ビル2階  
Tokyo (JP).  
(81) 指定国 (国内): JP, KR, US.  
(71) 出願人 (米国を除く全ての指定国について): サン (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
ケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒352-8666 埼玉県 新座市 北野3丁目6番 3号 Saitama (JP). CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,  
NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体素子及びその製造方法



(57) Abstract: A p-channel MOSFET (1) includes a semiconductor substrate (2), an epitaxial region (3), a second diffusion region (6), and a drain region. The epitaxial region (3) is formed on the upper surface of the semiconductor substrate (2). The second diffusion region (6) is formed on a predetermined surface area of the epitaxial region (3). The second diffusion region (6) has a central portion (6a) and a peripheral portion (6b). The central portion (6a) is formed substantially at the center of the epitaxial region (3) and formed with a greater thickness than the peripheral portion (6b). The peripheral portion (6b) is formed in an annular shape so as to surround the central portion (6a). The drain region (7) is formed on the upper surface region of the central portion (6a) of the second diffusion region (6).

(57) 要約: pチャネルMOSFET(1)は、半導体基板(2)と、エピタキシャル領域(3)と、第2拡散領域(6)とドレイン領域とを備える。エピタキシャル領域(3)は、半導体基板(2)の上面に形成されている。第2拡散領域(6)は、エピタキシャル領域(3)の上面の所定の表面領域に形成されている。第2拡散領域(6)は、中央部(6a)と周辺部(6b)とを有する。中央部(6a)は、エピタキシャル領域(3)の略中央に形成され、周辺部(6b)よりも厚く形成されている。周辺部(6b)は、中央部(6a)を包囲するように環状に形成されている。ドレイン領域(7)は、第2拡散領域(6)の中央部(6a)の上面の表面領域に形成されている。

BEST AVAILABLE COPY

WO 03/092078 A1



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 半導体素子及びその製造方法

## 技術分野

- 5 本発明は、半導体素子に関し、特に、リサーフ構造と呼ばれる構造を備える半導体素子及びその製造方法に関する。

## 背景技術

集積回路 (Integrated Circuit) に搭載される半導体素子としては、リサーフ構造  
10 と呼ばれる構造を持つ p チャネル MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が挙げられる。図 3 にこの種の p チャネル MOSFET の一例を示す。

p チャネル MOSFET 101 (以下、MOSFET 101) は、p<sup>-</sup>型の半導体基板 102 と、エピタキシャル成長法等によって半導体基板 102 の上面に  
15 形成された n<sup>-</sup>型のエピタキシャル領域 103 と、pn 接合の逆バイアスを利用して集積回路に搭載される各 MOSFET 101 を分離するための p<sup>+</sup>型の分離領域 104 とを備える。

また、MOSFET 101 は、エピタキシャル領域 103 の上面の表面領域に形成された p<sup>-</sup>型の拡散領域 105 と、拡散領域 105 に接するようにエピタキ  
20 シヤル領域 103 の上面の表面領域に形成された p<sup>+</sup>型のドレイン領域 106 とを備える。

さらに、MOSFET 101 は、断面で見て、拡散領域 105 間のエピタキシャル領域 103 の表面領域に形成された p<sup>+</sup>型のソース領域 107 と、ソース領域 107 に挟まれるようにエピタキシャル領域 103 の表面領域に形成された n  
25 <sup>+</sup>型のバックゲート領域 108 とを備える。

拡散領域 105 とソース領域 107 との間のエピタキシャル領域 103 の上面

には、ゲート絶縁膜109が形成されている。ゲート絶縁膜109上にはゲート電極110が形成されている。エピタキシャル領域103の表面領域のうち、ゲート絶縁膜109を介してゲート電極110と対向する表面領域は、チャネル領域として機能する。

5 ドレイン領域106の上面と、ソース領域107の上面と、バックゲート領域108の上面と、分離領域104の上面とには、それぞれ、ドレイン電極111と、ソース電極112と、バックゲート電極113と、接地されるグランド電極114とが形成されている。MOSFET101の上面のうち、ゲート絶縁膜109、ゲート電極110、ドレイン電極111、ソース電極112、バックゲート電極113、グランド電極114が形成された以外の面は、フィールド酸化膜115によって被覆されている。

このように、MOSFET101は、 $p^-$ 型の半導体基板102上に $n^-$ 型のエピタキシャル領域103が形成され、さらにエピタキシャル領域103の表面領域に $p^-$ 型の拡散領域105が形成されたいわゆるダブルリサーフ構造を有して  
15 いる。

ダブルリサーフ構造を有するMOSFET101では、ソース電極112とドレイン電極111との間に所定の値以上の電圧が印加されることにより、エピタキシャル領域103及び拡散領域105が実質的に空乏化する。これによって電位が固定され、エピタキシャル領域103の単位面積当たりの電界密度が低減さ  
20 れる。この結果、耐圧特性の向上といった効果が得られる。

(ダブル) リサーフ構造による高耐圧特性を活かしたMOSFET101の用途は種々あり、例えば、レベルシフトダウン回路への使用が考えられる。レベルシフトダウン回路に使用される場合、MOSFET101には、例えば半導体基板102の電圧に対して十数V程度高いドレイン電圧に耐えられるような耐圧特  
25 性が要求される。上記の構成を持つMOSFET101は、このような要求に容易に対応することができる。

しかしながら、さらに高い電圧レベルに耐えられるような耐圧特性が要求される用途に用いられる場合には、上記構成ではMOSFET101はドレイン電圧がグラウンドレベルから高い電圧レベルに変化する状況に対応できなかった。

また、MOSFET101では、ドレイン領域106の近傍の電荷バランスを良好に保つために、ドレイン領域106の近傍にグラウンドレベルの分離領域104が形成されている。しかし、この構成では、ドレイン電圧の電圧レベルがグラウンドレベルに対してプラスの高レベルに変化する場合に、ドレイン領域106と分離領域104との間の電界強度が高まり、パンチスルーや所望の電圧レベルよりも低い電圧レベルでブレイクダウンが発生してしまうおそれがあった。

10 本発明は、上記実状に鑑みてなされたものであり、優れた高耐圧特性を有する半導体素子及びその製造方法を提供することを目的とする。

また、本発明は、パンチスルーや好ましくないブレイクダウンが発生しにくい半導体素子及びその製造方法を提供することを目的とする。

## 15 発明の開示

前記の目的を解決するため、本発明の第1の観点に係る半導体素子は、第1導電型の第1の半導体領域(2)と、前記第1の半導体領域の一方の主面に形成された第2導電型の第2の半導体領域(3)と、前記第2の半導体領域(3)の所定の表面領域に形成された第1導電型の第3の半導体領域(6)と、前記第3の半導体領域(6)の表面領域に形成され、該第3の半導体領域の不純物濃度よりも高い不純物濃度を有する第1導電型の第4の半導体領域(7)と、前記第3の半導体領域(6)を包囲するように前記第2の半導体領域(3)の表面領域に形成された第5の半導体領域(8)とを備えるものであって、前記第3の半導体領域(6)は、前記第4の半導体領域を包囲する中央部(6a)と、該中央部(6a)を包囲する周縁部(6b)とを有し、前記中央部(6a)は、前記第2半導体領域(3)の表面からの深さが前記周縁部(6b)のものよりも深く形成され

ており、前記中央部（６a）の直下に配置された前記第２半導体領域（３）の一部は、前記周縁部（６b）の真下に配置された前記第２半導体領域（３）の一部よりも薄い厚さを備えることにより電荷量が該周縁部（６b）の真下の該第２半導体領域（３）の一部の電荷量よりも少ない、ことを特徴とする。

5    このような構成の半導体素子においては、第１の半導体領域と第２の半導体領域と第４の半導体領域とからリサーフ構造が形成されている。これによって半導体素子の横方向の電界緩和が良好に達成され、耐圧特性の向上といった効果が得られる。また、このような構成の半導体素子においては、中央部真下の第２半導体領域の一部が相対的に薄く形成されていることにより、中央部真下の第２半導体領域の一部が持つ電荷量が相対的に少ない。これにより、グラウンドレベルの電圧が第４の半導体領域に印加されても、第４の半導体領域近傍の電荷バランスが崩れることが防止されている。また、周縁部直下に配置された第２の半導体領域の一部が相対的に厚く形成されている。この厚みにより、周縁部直下に配置された第２の半導体領域の一部は、比較的高い電圧レベルの電圧が第４の半導体領域  
10   に印加された場合にパンチスルー等が生じるのを防止するのに十分な電荷量を持っている。従って、本発明の半導体素子は、第４の半導体領域に印加される電圧がグラウンドレベルから高レベルにまで変化する全ての状況に対応でき、リサーフ構造を備えることによる耐圧特性の向上効果を全ての状況下で得ることができる。

20   前記半導体素子は、前記第４の半導体領域（７）上に形成されたドレイン電極（１２）と、前記第５の半導体領域（８）上に形成されたソース電極（１３）と、前記第３の半導体領域（６）と前記第５の半導体領域との間の前記第２の半導体領域（３）上を被覆するゲート絶縁膜（１０）と、前記ゲート絶縁膜（１０）上に形成されたゲート電極（１１）とをさらに備えるものであってもよい。

25   前記半導体素子は、前記第２の半導体領域（３）の外周縁に形成された第１導電型の分離領域（４）と、前記分離領域（４）と接するように前記第２の半導体

領域（３）の表面領域に形成された第６の半導体領域（５）とをさらに備え、前記第６の半導体領域（５）の真下に存在する前記第２半導体領域（３）の一部は、前記周縁部（６ｂ）の真下に存在する該第２半導体領域（３）の一部とほぼ等しい厚さを有する、ものであってもよい。

- ５ 前記第３の半導体領域（６）は、前記第２の半導体領域（３）の表面の略中央に形成されており、前記第４の半導体領域（７）は、前記第３の半導体領域（６）の表面の略中央に形成されているものであってもよい。

前記半導体素子は、前記分離領域（４）上に形成されるグランド電極（１５）をさらに備え、所定レベルの電圧を前記ゲート電極（１０）と前記ドレイン電極（１２）との間に印加するとともに、前記グランド電極（１５）を接地することにより、前記第２の半導体領域（３）と前記第３の半導体領域（６）とが実質的に空乏化する、ものであってもよい。

前記第４の半導体領域（７）に印加される電圧の電圧レベルがグランドレベルの場合に、該第４の半導体領域（７）近傍の電荷バランスが保たれるような電荷量を該中央部（６ａ）直下の前記第２の半導体領域（３）の一部が備え、前記第４の半導体領域（７）に印加される電圧の電圧レベルがグランドレベルに対してプラスの高レベルの場合に、該第４の半導体領域（７）近傍の電荷バランスが保たれるような電荷量を該周縁部（６ｂ）直下の前記第２の半導体領域（３）の一部が備える、ものであってもよい。

- ２０ 前記の目的を解決するため、本発明の第２の観点に係る半導体素子の製造方法は、第１導電型の第１の半導体領域を構成する半導体基板（２）上に第２導電型の第２の半導体領域（３）を形成する工程と、前記第２の半導体領域（３）の表面領域に、それぞれ深さが異なる中央部（６ａ）と周縁部（６ｂ）とを備える第１導電型の第３の半導体領域（６）を形成する工程であって、前記中央部（６ａ）を前記第２の半導体領域（３）の所定の表面領域に形成し、前記周縁部（６ｂ）を、該中央部（６ａ）に当接するとともに該中央部（６ａ）を包囲するように該

中央部（６a）の深さよりも浅い深さで該第２の半導体領域（３）の表面領域に形成する工程と、前記第３の半導体領域（６）が備える中央部（６a）の表面領域に該第３の半導体領域（６）よりも不純物濃度が高い第１導電型の第４の半導体領域（７）を形成する工程と、を含んでいることを特徴とする。

- 5   このような製造方法により製造される半導体素子においては、第１の半導体領域と第２の半導体領域と第４の半導体領域とからリサーフ構造が形成されている。これによって半導体素子の横方向の電界緩和が良好に達成され、耐圧特性の向上といった効果が得られる。また、中央部が周縁部よりも深く形成されているので、中央部直下の第２の半導体領域の一部は周縁部直下の第２の半導体領域の一部よりも厚さが薄い。従って、中央部直下の第２の半導体領域の一部は、相対的に少ない電荷量を持ち、周縁部直下の第２の半導体領域の一部は、相対的に多い電荷量を持つ。これにより、この半導体素子は、第４の半導体領域に印加される電圧がグラウンドレベルから高レベルにまで変化する全ての状況下で第４の半導体領域近傍の電荷バランスが崩れることを防止できる。この結果、この半導体素子
- 10
- 15   子は、リサーフ構造を備えることによる耐圧特性の向上効果を全ての状況下で得ることができる。

#### 図面の簡単な説明

図１は、本発明の実施の形態に係るｐチャネルＭＯＳＦＥＴの構成を示す断面図である。

20

図２は、図１のｐチャネルＭＯＳＦＥＴの平面図である。

図３は、従来のｐチャネルＭＯＳＦＥＴの構成の一例を示す断面図である。

#### 発明を実施するための最良の形態

- 25   以下、本発明の実施の形態に係る半導体素子について、集積回路に搭載されるｐチャネルＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）を例と



し、図 1 及び図 2 を参照して詳細に説明する。

図 1 に示すように、p チャンネル MOSFET 1 (以下、MOSFET 1) は、半導体基板 2 と、エピタキシャル領域 3 と、分離領域 4 と、第 1 拡散領域 5 と、第 2 拡散領域 6 と、ドレイン領域 7 と、ソース領域 8 と、バックゲート領域 9 とを備える。また、MOSFET 1 は、ゲート絶縁膜 10 と、ゲート電極 11 と、ドレイン電極 12 と、ソース電極 13 と、バックゲート電極 14 と、グランド電極 15 と、フィールド絶縁膜 16 とを備える。以下では、特に図面番号を指示しない限り、図 1 を参照して説明する。

半導体基板 2 は、第 1 導電型、例えば p<sup>-</sup>型の半導体基板から構成される。

10 エピタキシャル領域 3 は、エピタキシャル成長法によって半導体基板 2 の一方の主面 (上面) に形成された第 2 導電型、例えば n<sup>-</sup>型の半導体領域から構成される。エピタキシャル領域 3 は、ドレイン電流が図 1 の横方向に流れるドレイン領域として機能する。

分離領域 4 は、エピタキシャル領域 3 の所定の領域に p 型不純物を拡散することによって形成された、p<sup>+</sup>型の半導体領域から構成される。分離領域 4 は、エ  
15 ピタキシャル領域 3 を包囲するような環状の形状を有する。分離領域 4 は、pn 接合の逆バイアスを利用して、集積回路に搭載される各 MOSFET 1 を分離する。

第 1 拡散領域 5 は、エピタキシャル領域 3 の外周縁の表面領域に p 型不純物を  
20 拡散することによって形成された、p<sup>-</sup>型の半導体領域から構成される。また、第 1 拡散領域 5 は、分離領域 4 に接するように形成されており、断面で見て分離領域 4 からエピタキシャル領域 3 の中央部に延伸するように形成されている。図 2 に示すように、第 1 拡散領域 5 は、MOSFET 1 の上面から見て、エピタキシャル領域 3 の外周縁を包囲するような環状の形状を有する。

25 なお、図 2 では、第 1 拡散領域 5 等の構造を理解しやすくするため、ゲート絶縁膜 10、ゲート電極 11、ドレイン電極 12、ソース電極 13、バックゲート

電極 1 4、グランド電極 1 5 及びフィールド絶縁膜 1 6 を省略している。

第 2 拡散領域 6 は、エピタキシャル領域 3 の略中央部分の表面領域に p 型不純物を拡散することによって形成された p<sup>-</sup>型の半導体領域から構成される。第 2 拡散領域 6 は、断面で見て、深さが異なる中央部 6 a と周縁部 6 b とを備える。

5 中央部 6 a は、周縁部 6 b と比較して厚く形成されている。中央部 6 a は、図 2 に示すように、MOSFET 1 の上面から見て、MOSFET 1 の略中央部分に形成されている。

一方、周縁部 6 b は、第 1 拡散領域 5 の厚さとほぼ等しい厚さに形成されている。周縁部 6 b は、図 2 に示すように、中央部 6 a (の外周縁) を包囲するよう  
10 に、環状に形成されている。

第 2 拡散領域 6 と半導体基板 2 との間には、エピタキシャル領域 3 が介在する。エピタキシャル領域 3 は、中央部 6 a と周縁部 6 b との厚さの差により、中央部 6 a の直下で相対的に薄く、周縁部 6 b の直下で相対的に厚い。周縁部 6 b 直下に存在するエピタキシャル領域 3 の厚さは、第 1 拡散領域 5 の直下に存在するエ  
15 ピタキシャル領域 3 の厚さとほぼ等しい。

ドレイン領域 7 は、第 2 拡散領域 6 (中央部 6 a) の表面領域に p 型不純物を拡散することによって形成された、第 2 拡散領域 6 よりも p 型不純物濃度が高い p<sup>+</sup>型の半導体領域から構成されている。ドレイン領域 7 は、図 2 に示すように、第 2 拡散領域 6 のほぼ中央に形成されている。ドレイン領域 7 の直下には図 1 に  
20 示すように中央部 6 a が存在し、この中央部 6 a がドレインードリフト領域として機能する。

ソース領域 8 は、エピタキシャル領域 3 の上面の表面領域に p 型不純物を拡散することによって形成された p<sup>+</sup>型の半導体領域から構成される。ソース領域 8 は、図 2 に示すように、エピタキシャル領域 3 を介して第 2 拡散領域 6 (周縁部  
25 6 b) を包囲するような、環状の形状を有する。

バックゲート領域 9 は、エピタキシャル領域 3 の表面領域に n 型不純物を拡散

することによって形成された、 $n$ 型不純物濃度がエピタキシャル領域3の $n$ 型不純物濃度よりも高い $n^+$ 型の半導体領域から構成される。バックゲート領域9は、図2に示すように、エピタキシャル領域3を介してソース領域8を包囲するような環状の形状を有する。

- 5 ゲート絶縁膜10は、シリコン酸化膜等から構成される。ゲート絶縁膜10は、第2拡散領域6とソース領域8とに挟まれたエピタキシャル領域3の上面とソース領域8の上面の一部とを被覆するように形成されている。

ゲート電極11は、ポリシリコン、金属等の導体膜から構成され、CVD (Chemical Vapor Deposition) 等によってゲート絶縁膜10上に形成されている。

- 10 ドレイン電極12と、ソース電極13と、バックゲート電極14と、グランド電極15とは、金属等の導体膜から構成され、CVD等によってそれぞれ、ドレイン領域7上、ソース領域8上、バックゲート領域9上、分離領域4上に形成されている。

- フィールド絶縁膜16は、例えばシリコン酸化膜から構成される。フィールド絶縁膜16は、MOSFET1の上面のうち、ゲート絶縁膜10と、ゲート電極11と、ドレイン電極12と、ソース電極13と、バックゲート電極14と、グランド電極15とが形成されていない面を被覆している。フィールド絶縁膜16は、ゲート絶縁膜と比べて厚く形成されている。

- このような構成のMOSFET1では、 $p^-$ 型の第1拡散領域5と、 $n^-$ 型のエ  
20 ピタキシャル領域3と、 $p^-$ 型の半導体基板2とから構成される第1のリサーフ構造が形成されている。さらに、MOSFET1の中央には、 $p^-$ 型の第2拡散領域6と、 $n^-$ 型のエピタキシャル領域3と、 $p^-$ 型の半導体基板2とから構成される第2のリサーフ構造が形成されている。従って、MOSFET1は、いわゆるダブルリサーフ構造を備えている。

- 25 第1のリサーフ構造のエピタキシャル領域3と第2のリサーフ構造の第2拡散領域6とは、グランド電極15が接地されるとともにゲート電極11とドレイン

電極 1 2 との間に所定のレベル以上の電圧が印加されることによって実質的に空乏化する。これによって電位が固定され、図 1 の横方向の電界が良好に緩和される。この結果、耐圧特性の向上といった効果が得られる。耐圧特性の向上効果は、単一のリサーフ構造でも得ることができるが、MOSFET 1 が 2 つのリサーフ構造を備えているので、耐圧特性の向上効果が単一のリサーフ構造を備える場合よりもさらに優れている。

以上説明したように、本実施の形態の MOSFET 1 では、ドレイン領域 7 の真下に、相対的に厚く形成された中央部 6 a を配置している。これによって中央部 6 a の真下のエピタキシャル領域 3 を薄くし、このエピタキシャル領域 3 が持つ電荷量を周辺部 6 b の真下のエピタキシャル領域 3 が持つ電荷量よりも少なくしている。従来の MOSFET では、分離領域等からの電界によって電荷バランスを成立させているが、本実施の形態の MOSFET 1 では、電荷量を少なくすることにより、ドレイン領域 7 等からの電界によって電荷バランスを成立させている。

例えば、中央部 6 a の厚さが周縁部 6 b とほぼ等しく、中央部 6 a の真下のエピタキシャル領域 3 の厚さが周縁部 6 b の真下のエピタキシャル領域 3 の厚さとほぼ等しいものとする。この場合、ドレイン電圧の電圧レベルがグラウンドレベルに変化し、かつゲート、ソース及びバックゲートの電圧がプラスの電圧に変化することによってドレイン領域 7 近傍の電荷バランスが崩れてしまい、比較的低いドレイン電圧でブレイクダウンが発生してしまう。しかし、本実施の形態の MOSFET 1 は、ドレイン領域 7 直下のエピタキシャル領域 3 が持つ電荷量を減らすことにより、ドレイン領域 7 近傍の電荷バランスが崩れることを防止している。このため、本実施の形態の MOSFET 1 では、比較的低い電圧でブレイクダウンが発生しない。

しかしながら、電荷量が少なすぎると、ドレイン電圧の電圧レベルがグラウンドレベルに対してプラスの高レベルに変化した場合に、電荷バランスが崩れてしま

い、 $p^-$ 型の半導体基板 2 と  $p^+$ 型のドレイン領域 7 とがパンチスルーを起こしてしまう。そこで、本実施の形態の MOSFET 1 では、周縁部 6 b を中央部 6 a と比べて薄くし、周縁部 6 b 直下のエピタキシャル領域 3 を相対的に厚くして、パンチスルーの発生を防止するために十分なエピタキシャル領域 3 の電荷量を得 5 ている。

中央部 6 a や周縁部 6 b の深さや濃度プロファイル、中央部 6 a や周縁部 6 b の下方のエピタキシャル領域 3 の厚み等のバランスをとることにより、本実施の形態の MOSFET 1 は、ドレイン電圧の電圧レベルがグランドレベルからプラスの高レベルにまで変化する状況に対応できる。このため、MOSFET 1 は、  
10 リサーフ構造の電界緩和の効果による、優れた高耐圧特性を有することが上記の状況下で可能である。

また、本実施の形態の MOSFET 1 では、ドレイン領域 7 がエピタキシャル領域 3 のほぼ中央に形成されている。例えば、従来の MOSFET のように、ドレイン領域が分離領域の近傍に形成されているものとする。この場合、ドレイン  
15 電圧の電圧レベルが高レベルに変化することによって、ドレイン領域と分離領域との間の電界強度が高くなり、パンチスルーや好ましくないブレイクダウンが発生してしまう。しかし、MOSFET 1 では、ドレイン領域 7 が分離領域 4 から離間しているため、ドレイン電圧の電圧レベルが高レベルに変化しても、従来の MOSFET のようにドレイン領域 7 と分離領域 4 との間の電界強度が高くな  
20 ない。従ってパンチスルーや好ましくないブレイクダウンが発生しにくい。

以上説明したように、本発明によれば、優れた高耐圧特性の半導体素子を提供することが可能である。また、本発明によれば、パンチスルーやブレイクダウンが生じにくい半導体素子及びその製造方法を提供することができる。

なお、本発明は上記実施の形態に限定されない。例えば、上記実施の形態では、  
25 MOSFET 1 の上面から見て、各半導体領域が環状の形状を有する場合を例に説明した。しかし、これに限定されず、各半導体領域は、MOSFET 1 の上面

から見て、方形の形状を有してもよい。

また、上記実施の形態では、エピタキシャル領域 3 はエピタキシャル成長法によって形成されているものとしたが、張り合わせ技術等によって形成されてもよい。

- 5   さらには、上記実施の形態の半導体素子は、p チャネル MOS F E T に限定されず、n チャネル MOS F E T であってもよい。また、上記実施の形態では、p 型半導体基板 2 を用いて p チャネル MOS F E T 1 を形成した場合を例にして説明した。しかし、これに限定されず、n 型半導体基板を用いて逆導電型の MOS F E T を形成してもよい。
- 10   なお、本発明は、2002 年 4 月 25 日に出願された日本国特許出願 2002-123615 号に基づき、本明細書中にその明細書、特許請求の範囲、図面全体を取り込むものとする。

#### 産業上の利用の可能性

- 15   本発明は、いわゆるリサーフ構造を有する半導体素子及びその製造方法に利用可能である。

## 請求の範囲

1. 第1導電型の第1の半導体領域(2)と、前記第1の半導体領域(2)上に形成された第2導電型の第2の半導体領域(3)と、前記第2の半導体領域(3)の所定の表面領域に形成された第1導電型の第3の半導体領域(6)と、前記第3の半導体領域(6)の表面領域に形成され、該第3の半導体領域(6)よりも高い不純物濃度を有する第1導電型の第4の半導体領域(7)と、前記第3の半導体領域(6)を包囲するように前記第2の半導体領域(3)の表面領域に形成された第5の半導体領域(8)とを備える半導体素子であって、

10 前記第3の半導体領域(6)は、前記第4の半導体領域を包囲する中央部(6a)と、該中央部(6a)を包囲する周縁部(6b)とを有し、

前記中央部(6a)は、前記第2半導体領域(3)の表面からの深さが前記周縁部(6b)のものよりも深く形成されており、

前記中央部(6a)の直下に配置された前記第2半導体領域(3)は、前記周縁部(6b)の真下に配置された前記第2半導体領域(3)よりも薄い厚さを備えるために電荷量が該周縁部(6b)の真下の該第2半導体領域(3)の電荷量よりも少ない、

ことを特徴とする半導体素子。

2. 前記第4の半導体領域(7)上に形成されたドレイン電極(12)と、前記第5の半導体領域(8)上に形成されたソース電極(13)と、前記第3の半導体領域(6)と前記第5の半導体領域との間の前記第2の半導体領域(3)上を被覆するゲート絶縁膜(10)と、前記ゲート絶縁膜(10)上に形成されたゲート電極(11)とをさらに備えることを特徴とする請求項1に記載の半導体素子。

25 3. 前記第2の半導体領域(3)の外周縁に形成された第1導電型の分離領域(4)と、前記分離領域(4)と接するように前記第2の半導体領域(3)の表

面領域に形成された第 6 の半導体領域 (5) とをさらに備え、前記第 6 の半導体領域 (5) の真下に存在する前記第 2 半導体領域 (3) は、前記周縁部 (6 b) の真下に存在する該第 2 半導体領域 (3) と等しい厚さを有する、ことを特徴とする請求項 2 に記載の半導体素子。

- 5    4. 前記第 3 の半導体領域 (6) は、前記第 2 の半導体領域 (3) の表面の略中央に形成されており、前記第 4 の半導体領域 (7) は、前記第 3 の半導体領域 (6) の表面の略中央に形成されている、ことを特徴とする請求項 3 に記載の半導体素子。

5. 前記分離領域 (4) 上に形成されるグランド電極 (1 5) をさらに備え、  
10    所定レベルの電圧が前記ゲート電極 (1 1) と前記ドレイン電極 (1 2) との間に印加されるとともに、前記グランド電極 (1 5) が接地されることにより、前記第 2 の半導体領域 (3) と前記第 3 の半導体領域 (6) とが実質的に空乏化する、ことを特徴とする請求項 4 に記載の半導体素子。

6. 前記第 4 の半導体領域 (7) に印加される電圧の電圧レベルがグランドレ  
15    ベルの場合に、該第 4 の半導体領域 (7) 近傍の電荷バランスが保たれるような電荷量を該中央部 (6 a) 直下の前記第 2 の半導体領域 (3) が備え、

- 前記第 4 の半導体領域 (7) に印加される電圧の電圧レベルがグランドレベルに対してプラスの高レベルの場合に、該第 4 の半導体領域 (7) 近傍の電荷バランスが保たれるような電荷量を該周縁部 (6 b) 直下の前記第 2 の半導体領域  
20    (3) が備える、ことを特徴とする請求項 5 に記載の半導体素子。

7. 第 1 導電型の第 1 の半導体領域を構成する半導体基板 (2) 上に第 2 導電型の第 2 の半導体領域 (3) を形成する工程と、

- 前記第 2 の半導体領域 (3) の表面領域に、それぞれ深さが異なる中央部 (6 a) と周縁部 (6 b) とを備える第 1 導電型の第 3 の半導体領域 (6) を形成す  
25    る工程であって、前記中央部 (6 a) を前記第 2 の半導体領域 (3) の所定の表面領域に形成し、前記周縁部 (6 b) を、該中央部 (6 a) に当接するとともに



該中央部（6 a）を包囲するように該中央部（6 a）の深さよりも浅い深さで該第2の半導体領域（3）の表面領域に形成する工程と、

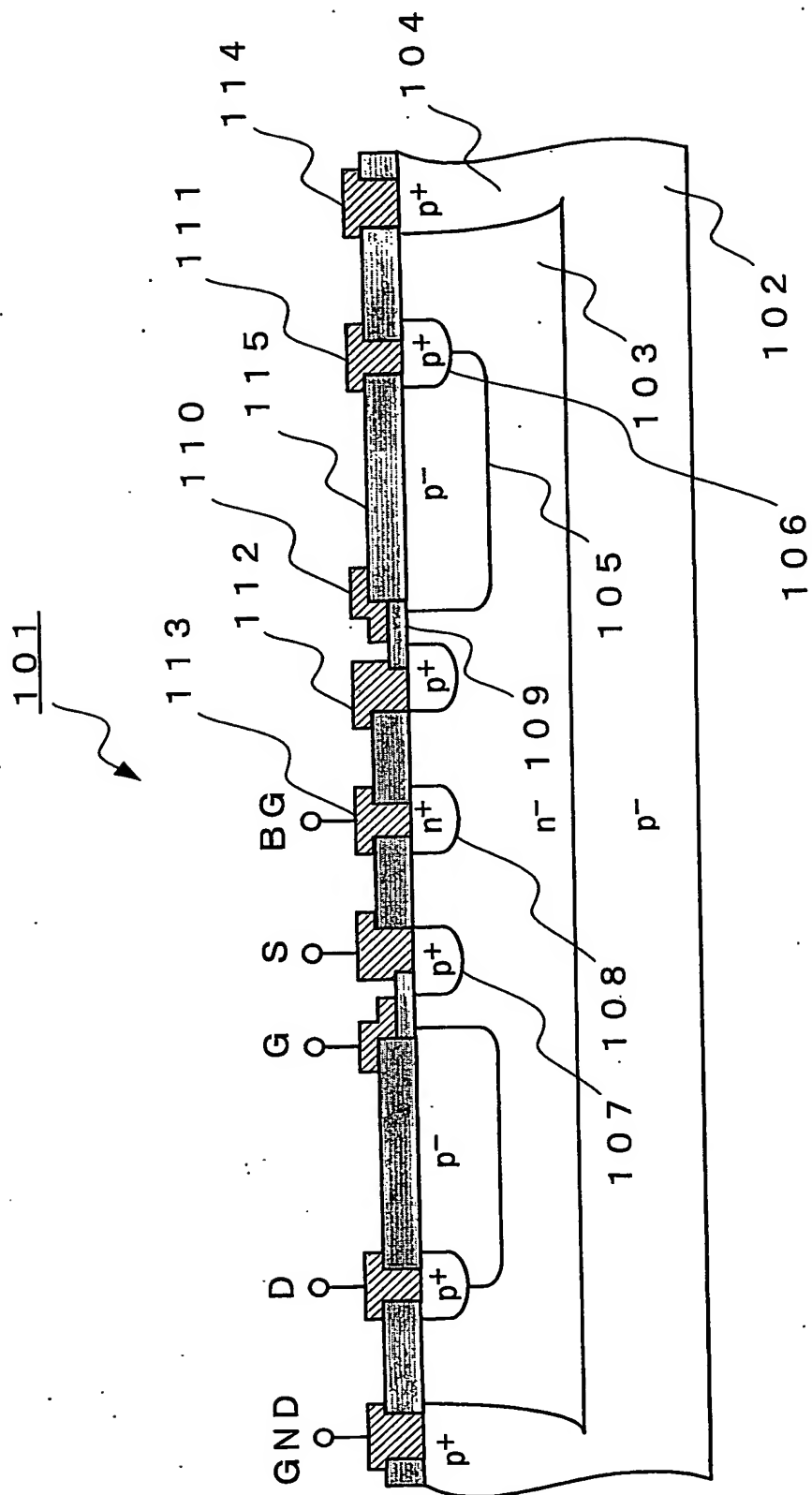
前記第3の半導体領域（6）が備える中央部（6 a）の表面領域に該第3の半導体領域（6）よりも不純物濃度が高い第1導電型の第4の半導体領域（7）を5 形成する工程と、

を含んでいることを特徴とする半導体素子の製造方法。





3 / 3



3  
X

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05334

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1966-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 5512769 A (Matsushita Electronics Corp.), 30 April, 1996 (30.04.96), Column 4, line 20 to column 11, line 56; Figs. 1 to 6 & JP 06-045602 A Par. Nos. [0014] to [0057]; Figs. 1 to 6	1, 2, 7 3-6
X Y	JP 02-218153 A (Matsushita Electronics Corp.), 30 August, 1990 (30.08.00), Full text; Figs. 1, 2 (Family: none)	1, 2, 7 3-6
X Y	JP 53-045978 A (Hitachi, Ltd.), 25 April, 1978 (25.04.78), Page 2, lower right column, line 11 to page 3, lower left column, line 1; Fig. 6 (Family: none)	1, 2, 7 3-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:          "A" document defining the general state of the art which is not considered to be of particular relevance          "E" earlier document but published on or after the international filing date          "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)          "O" document referring to an oral disclosure, use, exhibition or other means          "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention          "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone          "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art          "&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
02 June, 2003 (02.06.03)

Date of mailing of the international search report  
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05334

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 4866495 A (International Rectifier Corp.), 12 September, 1989 (12.09.89), Column 3, line 38 to column 11, line 4; Figs. 1 to 13 & JP 63-310175 A Page 5, upper right column, line 4 to page 11, upper left column, line 20; Figs. 1 to 13	3-6
Y	US 5686754 A (International Rectifier Corp.), 11 November, 1997 (11.11.97), Column 2, line 44 to column 4, line 63; Figs. 1 to 3 & JP 08-046059 A Par. Nos. [0010] to [0026]; Figs. 1 to 3	3-6
Y	US 5801431 A (International Rectifier Corp.), 01 September, 1998 (01.09.98), Column 2, line 53 to column 6, line 43; Figs. 1 to 6 & JP 09-307110 A Par. Nos. [0014] to [0042]; Figs. 1 to 7	3-6

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L29/78 H01L21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L29/78 H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5512769 A (Matsushita Electronics Corporation) 1996. 04. 30, 第4欄第20行-第11欄第56行,	1, 2, 7
Y	第1-6図 & JP 06-045602 A, 段落【0014】-段落【0057】, 第1-6図	3-6
X	JP 02-218153 A (松下電子工業株式会社) 1990. 08. 30, 全文, 第1図、第2図 (ファミリーなし)	1, 2, 7
Y		3-6

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

02.06.03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河口 雅 英



4M

8421

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 53-045978 A (株式会社日立製作所) 1978. 04. 25, 第2頁右下欄第11行-第3頁左下欄第1行, 第6図 (ファミリーなし)	1, 2, 7
Y		3-6
Y	US 4866495 A (International Rectifier Corporation) 1989. 09. 12, 第3欄第38行-第11欄第4行, 第1-13図 & JP 63-310175 A, 第5頁右上欄第4行-第11頁左上欄第20行, 第1-13図	3-6
Y	US 5686754 A (International Rectifier Corporation) 1997. 11. 11, 第2欄第44行-第4欄第63行, 第1-3図 & JP 08-046059 A, 段落【0010】-段落【0026】, 第1-3図	3-6
Y	US 5801431 A (International Rectifier Corporation) 1998. 09. 01, 第2欄第53行-第6欄第43行, 第1-6図 & JP 09-307110 A, 段落【0014】-段落【0042】, 第1-7図	3-6